



PAJ 1994 to  
today





Your search statement: Words anywhere: "@PN='10063533'"  
Record 1 of 1



(19) JAPANESE PATENT OFFICE

(11) Publication Number: JP 10063533 A

(43) Date of publication: 19980306

(51) int. Cl : G06F011-22    
(ICS) G01R031-28  
G11C019-00  
H03K019-00

(ICA) H03M007-30

(71) Applicant:  
NEC CORP

(72) Inventor:  
ITO HIROO

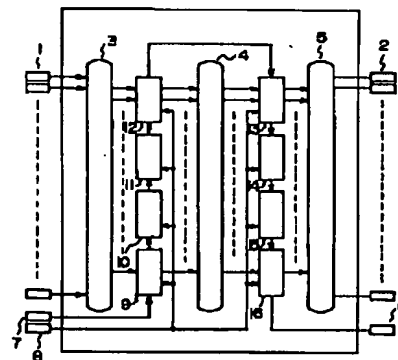
(21) Application Information:  
19960814 JP 08-214801

# SCANNING REGISTER CIRCUIT WITH DATA COMPRESSING FUNCTION

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a scanning register circuit with a data compressing function capable of remarkably reducing time for compare-judging a normal or abnormal value.

SOLUTION: By controlling from a control terminal 8, ordering circuits are serially connected make the constitution of a shift register. At the time, the groups of shift registers 9 to 16 are made the constitution of a shift register and the group of shift registers 16 is switched to the function of data compression. A signal impressed from an input signal terminal 1 reaches the group of shift registers 9 to 12 by way of a combining circuit 3. Next the signal is shifted serially by shift operation and data is stored in the group of shift registers 16 switched to the data compressing function. The operation of these is repeatedly executed while varying the pattern of an input signal to impress, to store the circuit operating state of the circuit 3 is stored in the group of



shift registers 16 from the terminal 1.

CD-Volume: MIJP9803PAJ JP 10063533 A Copyright: JPO 19980306  
001

PAJ Result

End Session



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-63533

(43) 公開日 平成10年(1998) 3月6日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/22	3 6 0		G 0 6 F 11/22	3 6 0 P
G 0 1 R 31/28			G 1 1 C 19/00	Z
G 1 1 C 19/00			H 0 3 K 19/00	B
H 0 3 K 19/00		9382-5K	H 0 3 M 7/30	Z
// H 0 3 M 7/30			G 0 1 R 31/28	G

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平8-214801

(22) 出願日 平成8年(1996) 8月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊藤 裕生

東京都港区芝五丁目7番1号 日本電気株式会社内

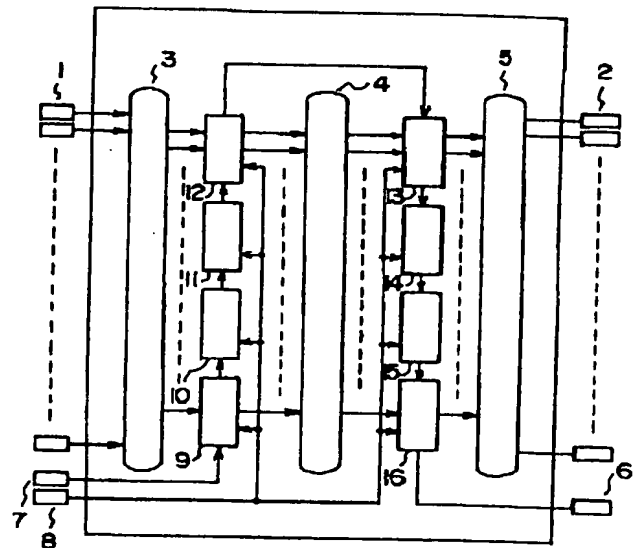
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 データ圧縮機能付スキャンレジスタ回路

(57) 【要約】

【課題】 正常値であるか否かの比較判定に要する時間を大幅に短縮できるデータ圧縮機能付スキャンレジスタ回路を提供することである。

【解決手段】 制御端子8からの制御により順序回路が直列に接続されてシフトレジスタの構成となる。その時、シフトレジスタ群9～16はシフトレジスタ構成となり、シフトレジスタ群16はデータ圧縮の機能に切り換わる。入力信号端子1から印加された信号は、組み合わせ回路3を経由してシフトレジスタ群9から12に送ずる。次にシフト動作により直列にシフトしてゆき、データ圧縮機能に切り換っているシフトレジスタ群16にデータが蓄積される。以上の動作を印加する入力信号のボタンを変化させながら繰り返し実行することにより入力信号端子1から組み合わせ回路3の回路動作状態がシフトレジスタ群16に蓄積される。



## 【特許請求の範囲】

【請求項1】 それぞれ特定の長さを有する第1乃至第N（Nは2以上の整数）のシフトレジスタ及び通常モードと圧縮モードの切替え機能をもつ第1乃至第N（Nは2以上の整数）の切替回路からなり、直列に接続されている第1乃至第N（Nは2以上の整数）のスキャンレジスタ部と、前記各スキャンレジスタ部に付加されているフィードバック回路を具備し、前記第1のシフトレジスタにスキャン入力端子を接続し、前記第Nのシフトレジスタにスキャン出力端子を接続して構成され、前記第1乃至第N（Nは2以上の整数）のシフトレジスタには被試験回路を介して入力信号を並列に取り込み、制御信号により前記フィードバック回路にて前記第1のスキャンレジスタの出力及び中間部分から抽出した信号を加工すると共に、直列にシフトしてゆき、前記各シフトレジスタがデータ圧縮機能に切り替わり、最終的に前記第Nのシフトレジスタに内部回路の動作状態が蓄積され、その内容を前記スキャン出力端子から読み出すことを特徴とするデータ圧縮機能付スキャンレジスタ回路。

【請求項2】 それぞれ特定の長さを有する第1乃至第N（Nは2以上の整数）のシフトレジスタ及び通常モードと圧縮モードの切替え機能をもつ第1乃至第N（Nは2以上の整数）の切替回路からなり、直列に接続されている第1乃至第N（Nは2以上の整数）のスキャンレジスタ部と、前記各スキャンレジスタ部に付加されているフィードバック回路を具備し、前記第1のシフトレジスタにスキャン入力端子を接続し、前記第Nのシフトレジスタにスキャン出力端子を接続して構成され、前記第1乃至第N（Nは2以上の整数）のシフトレジスタには被試験回路を介して入力信号を並列に取り込み、制御信号により前記フィードバック回路にて前記第1のスキャンレジスタの出力及び中間部分から抽出した信号を加工すると共に、直列にシフトしてゆき、前記各シフトレジスタがデータ圧縮機能に切り替わり、最終的に前記第Nのシフトレジスタに内部回路の動作状態が蓄積され、その内容を前記スキャン出力端子から読み出すことによって、観測に必要なデータ量を大幅に低減し、データを読み出す時間が短縮されることを可能とすることを特徴とするデータ圧縮機能付スキャンレジスタ回路。

【請求項3】 前記各シフトレジスタの出力信号が前記フィードバック回路に設けられている排他的論理和回路による加工を受けてデータ圧縮されていることを特徴とする請求項1又は2記載のデータ圧縮機能付スキャンレジスタ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、コンピュータをはじめとするデジタル電子装置の構成要素として利用される診断用スキャンレジスタ内蔵の半導体論理装置に関するものである。

## 【0002】

【従来の技術】論理回路の検査において、回路を構成する要素として、組み合わせ回路と、順序回路に分離できる。この順序回路に注目して、通常は個々に動作しているフリップフロップを直列に連続して接続することによりスキャンバスレジスタを形成する。そして、並列に信号を取り込みその内容を、直列に出力することにより論理回路及び素子の検査、あるいは、障害解析を行っている。

## 【0003】

【発明が解決しようとする課題】上記した従来のスキャンバスレジスタの検査装置における問題点は、直列に出力されるデータの正常性を比較する為にはスキャンバスレジスタと同じ長さを持つ期待値と1ビット単位で比較する必要があるため、その情報の量は、スキャンバスレジスタ長さと一致するため、被試験回路のスキャンバスレジスタと同じ長さの大量のデータとなることである。

【0004】又、スキャンバスレジスタは、1ビットの記憶素子が直列に接続した構造であり、内部のデータを全て読み出す為には、1ビット単位で順次、直列に読み出す必要があるため、スキャンバスレジスタからのデータを読み出す時間が非常に多くかかるという問題も生じる。

## 【0005】

【課題を解決するための手段】本発明によれば、それぞれ特定の長さを有する第1乃至第N（Nは2以上の整数）のシフトレジスタ及び通常モードと圧縮モードの切替え機能をもつ第1乃至第N（Nは2以上の整数）の切替回路からなり、直列に接続されている第1乃至第N（Nは2以上の整数）のスキャンレジスタ部と、前記各スキャンレジスタ部に付加されているフィードバック回路を具備し、前記第1のシフトレジスタにスキャン入力端子を接続し、前記第Nのシフトレジスタにスキャン出力端子を接続して構成され、前記第1乃至第N（Nは2以上の整数）のシフトレジスタには被試験回路を介して入力信号を並列に取り込み、制御信号により前記フィードバック回路にて前記第1のスキャンレジスタの出力及び中間部分から抽出した信号を加工すると共に、直列にシフトしてゆき、前記各シフトレジスタがデータ圧縮機能に切り替わり、最終的に前記第Nのシフトレジスタに内部回路の動作状態が蓄積され、その内容を前記スキャン出力端子から読み出すことを特徴とするデータ圧縮機能付スキャンレジスタ回路が得られる。

【0006】さらに、本発明によれば、それぞれ特定の長さを有する第1乃至第N（Nは2以上の整数）のシフトレジスタ及び通常モードと圧縮モードの切替え機能をもつ第1乃至第N（Nは2以上の整数）の切替回路からなり、直列に接続されている第1乃至第N（Nは2以上の整数）のスキャンレジスタ部と、前記各スキャンレジスタ部に付加されているフィードバック回路を具備し、

前記第1のシフトレジスタにスキャン入力端子を接続し、前記第Nのシフトレジスタにスキャン出力端子を接続して構成され、前記第1乃至第N（Nは2以上の整数）のシフトレジスタには被試験回路を介して入力信号を並列に取り込み、制御信号により前記フィードバック回路にて前記第1のシフトレジスタの出力及び中間部分から抽出した信号を加工すると共に、直列にシフトしてゆき、前記各シフトレジスタがデータ圧縮機能に切り替わり、最終的に前記第Nのシフトレジスタに内部回路の動作状態が蓄積され、その内容を前記スキャン出力端子から読み出すことによって、観測に必要なデータ量を大幅に低減し、データを読み出す時間が短縮されることを可能とすることを特徴とするデータ圧縮機能付スキャンレジスタ回路が得られる。

【0007】さらに、本発明によれば、前記各シフトレジスタの出力信号が前記フィードバック回路に設けられている排他的論理和回路による加工を受けてデータ圧縮されていることを特徴とするデータ圧縮機能付スキャンレジスタ回路が得られる。

【0008】

【作用】通常モードと圧縮モードを切り換える、切り換え回路によって、圧縮回路を選択することによりフィードバック回路が活性化して、データの圧縮が行なわれる。この為、直列の長大なデータが非常に短いレジスタに編集格納され、情報を読み出す量が大幅に減少して高速化が可能となる。

【0009】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1を参照すると、LSI内部又は論理素子の組み合わせにより実現した論理回路は、組み合わせ回路3、4、5と順序回路に分類できる。この順序回路全てを直列に接続して、シフトレジスタ群9から16の構成にする。そのシフトレジスタは、特定の長さ（多くは16ビットの長さ）に区切られているとともに、本来の機能には無関係の独立した形態で配置されたフィードバック回路と組み合わせ回路からなる回路を付加して、必要に応じてデータ圧縮の機能を実現している。この時、シフトレジスタ動作とデータ圧縮動作を制御端子8から印加する制御信号により切り換える。従って、シフトレジスタを用いて、データ圧縮回路を任意の場所に実現することにより、順序回路が並列入力した信号をシフト動作で直列に伝達し、その信号をデータ圧縮回路が直列入力信号を例えば16ビットの信号に圧縮してゆく動作が可能になる。次に、圧縮したデータをシフト動作により回路の外部に伝達することにより回路内部の状態を容易に観測することができる。

【0010】次に、本発明の実施の形態の動作について図1を参照して詳細に説明する。制御端子8からの制御により、順序回路が直列に接続されてシフトレジスタの構成となる。その時、シフトレジスタ群9から16はシ

フトレジスタ構成となり、シフトレジスタ群16はデータ圧縮の機能に切り換わる。入力信号端子1から印加された信号は、組み合わせ回路3を経由してシフトレジスタ群9から12に達する。この信号を並列に取り込む。次にシフト動作により直列にシフトしてゆき、データ圧縮機能に切り換っているシフトレジスタ群16にデータが蓄積される。以上の動作を印加する入力信号のボタンを変化させながら繰り返し実行することにより入力信号端子1から組み合わせ回路3の回路動作状態がシフトレジスタ群16に蓄積される。

【0011】本実施の形態によれば、シフト動作によりシフトレジスタ群16の内容をスキャン出力端子6から読み出すことにより、入力信号端子1から組み合わせ回路3の回路動作状態が観測できる。

【0012】次に、本発明の第2の実施の形態について図3を参照して説明する。この実施の形態の特徴は、データ圧縮機能付のスキャンレジスタをスキャンレジスタの一部に配置したことにある。スキャンレジスタ群9、11は単純にシフトレジスタの動作のみを行ない、データ圧縮は行なわない。一方スキャンレジスタ群10、12は、データ圧縮を行なうと伴にスキャンレジスタとしての機能を持つ。ここで示した発明の実施の形態に特有な効果は、データ圧縮機能付レジスタの配置を限定したことにより、データ圧縮の量が多くなりその結果、観測データとして外部に読み出すデータ量が、さらに減少するという効果が有る。

【0013】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。図2を参照すると、本発明の実施例は、シフトレジスタ群112、122、切り換え回路111、121、排他的論理和回路113、114、115、123、124、125、制御信号401、402、403、404、405及びフィードバック回路201、202で構成される。

【0014】次に、本実施例の動作について図2を参照して詳細に説明する。図2を参照すると、112及び122はフリップフロップからなるシフトレジスタである。ここで122のシフトレジスタ群をデータ圧縮、112をシフトレジスタとして機能させた場合の例を示す。

【0015】まず制御信号403の制御で切り換え回路121を切り換えて、フィードバック回路202の信号が排他的論理和回路125を経由してシフトレジスタ122の直列入力端子に流れる。これによりシフトレジスタ122の出力信号が排他的論理和123、124及び125による信号の加工を受け、データ圧縮の機能を持つことになる。

【0016】次に、制御信号401の制御で切り換え回路111を切り換えて直列入力信号101からの信号をシフトレジスタ112の入力端子に接続する。この制御

10

20

30

40

50

5

でフィードバック回路201の信号は無効となりシフトレジスタ112は単純なシフトレジスタとして機能する。

【0017】次に、制御信号402によりシフトレジスタ112を並列入力モードに切り換えレジスタに信号を並列に取り込む。さらに制御信号402を直列モードに切り換えて、シフト動作により、データ圧縮動作になっているシフトレジスタ122に伝達される。この時シフト動作及びデータ圧縮動作は同期して行なわれる。シフトレジスタ112の信号を複数回繰り返してシフトレジスタ122に伝達することによりシフトレジスタ112に接続されている回路状態のデータがシフトレジスタ122に圧縮された形で蓄積される。さらに制御信号403、404によりシフトレジスタ122を通常のシフトレジスタ回路にして直列にデータを読み出すことにより内部回路状態が観測できる。

【0018】

【発明の効果】本発明によれば、データ圧縮付スキャン回路によりデータが圧縮され、特定のビット長さだけが観測対象となるため、観測に必要なデータ量が大幅に低減できる。

【0019】又、本発明によれば、データを読み出す時に、不要なデータを比較及び判断を行わず読み飛ばすことにより全体の時間を短縮できるため、データを読み

6

出す時間が短縮されるという効果が得られる。

【図面の簡単な説明】

【図1】本発明のデータ圧縮機能付スキャンレジスタ回路の一実施の形態を示した図である。

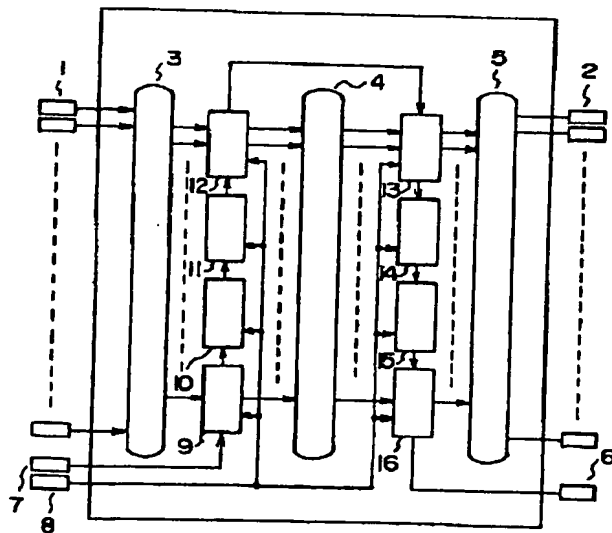
【図2】データ圧縮機能を実現する形態を示した図である。

【図3】本発明の他の実施の形態を示した図である。

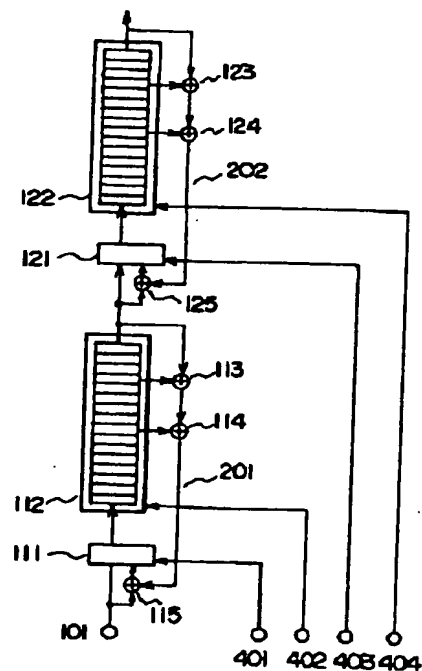
【符号の説明】

- 1 入力信号端子
- 2 出力信号端子
- 3 組み合わせ回路
- 4 組み合わせ回路
- 5 組み合わせ回路
- 6 スキャン出力端子
- 7 スキャン入力端子
- 8 制御端子
- 9～16 シフトレジスタ群
- 101 直列入力信号
- 111, 121 切り換え回路
- 112, 122 シフトレジスタ
- 113, 114, 115, 123, 124, 125 排他的論理和
- 201, 202 フィードバック回路
- 401, 402, 403, 404 制御信号

【図1】



【図2】



【図3】

